



(11) Publication number: **61168253 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 60007776

(51) Intl. Cl.: H01L 27/08 H01L 29/78

(22) Application date: 19.01.85

(30) Priority:	
(43) Date of application publication:	29.07.86
(84) Designated contracting states:	

(71) Applicant: **SHARP CORP**

(72) Inventor: **NAKAGAWA KIYOTOSHI**
KAWANO KENZO

(74) Representative:

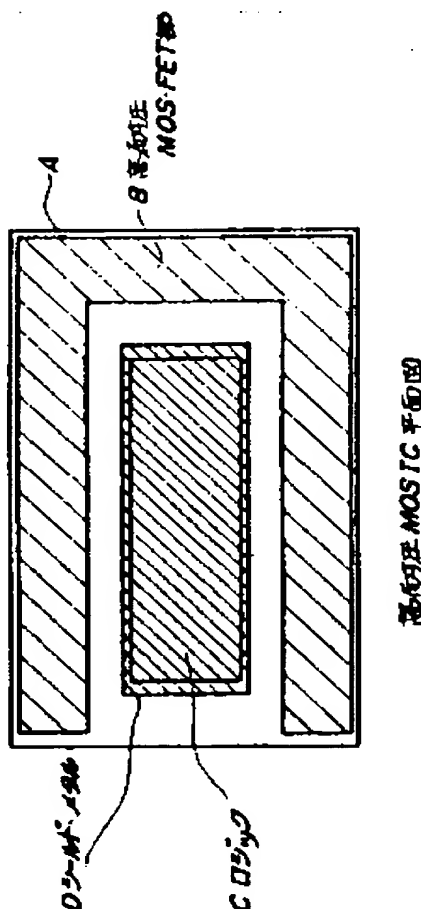
(54) HIGH WITHSTAND
VOLTAGE MOS FIELD
EFFECT
SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent an erroneous operation in a semiconductor device formed with two MOSFET's of different withstand voltages on the same semiconductor substrate by completely coating a low withstand voltage semiconductor region with semiconductor.

CONSTITUTION: In a semiconductor device formed with a high withstand voltage MOSFETB and a low withstand voltage MOSFETC for driving the FETB on the same semiconductor substrate, the pattern of the low withstand voltage FET is completely coated with aluminum or other semiconductor D. With the thus constructed structure, erroneous operation due to the inversion of the field of the low withstand voltage FET by the influence of the high withstand voltage FET can be prevented.

COPYRIGHT: (C)1986,JPO&Japio



⑫ 公開特許公報(A)

昭61-168253

⑤ Int. Cl.⁴H 01 L 27/08
29/78

識別記号

1 0 2

庁内整理番号

6655-5F
8422-5F

④ 公開 昭和61年(1986)7月29日

審査請求 有 発明の数 1 (全5頁)

④ 発明の名称 高耐圧MOS電界効果半導体装置

② 特 願 昭60-7776

② 出 願 昭60(1985)1月19日

⑦ 発 明 者	中 川 清 利	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑦ 発 明 者	川 野 研 三	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑦ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号	
⑦ 代 理 人	弁理士 福士 愛彦	外2名	

明 細 書

1. 発明の名称

高耐圧MOS電界効果半導体装置

2. 特許請求の範囲

1) a. 高耐圧MOS電界効果トランジスタと該高耐圧MOS電界効果トランジスタを駆動するためのより低耐圧特性のMOS電界効果トランジスタとが同一半導体基板に形成されてなる半導体装置において、

b. 低耐圧MOS電界効果トランジスタで形成された回路の半導体基板領域上を導電体で完全に覆ってなることを特徴とする高耐圧MOS電界効果半導体装置。

2) a. 前記半導体基板は、周辺部に高耐圧MOS電界効果トランジスタが配置され、中央部に低耐圧MOS電界効果トランジスタが配置されてなることを特徴とする特許請求の範囲第1項記載の高耐圧MOS電界効果半導体装置。

3. 発明の詳細な説明

⑤ 産業上の利用分野

本発明は高耐圧MOS電界効果トランジスタとそれを駆動する為の通常の低耐圧MOS電界効果トランジスタが同一半導体基板上に形成された半導体装置(以下高耐圧MOS・ICと略す)に関するものである。

〈発明の概要〉

本発明は、同一半導体基板に高耐圧MOS電界効果トランジスタとこの高耐圧MOS電界効果トランジスタより低い電圧で駆動する通常のMOS電界効果トランジスタを作成してなる半導体装置において、通常の電界効果トランジスタを作成した半導体基板領域上を、A₁等の導電体で覆ってなる高耐圧MOS電界効果半導体装置である。

〈従来技術〉

例えばELパネル、PDP等の各種の表示パネル用ドライバ或いはその他の高電圧ドライバは、特開昭56-169368号公報に示されたような複数の高耐圧MOS電界効果トランジスタと、それらの駆動を制御するための低電圧ロジック回路とから構成されており、それらのパターン配置は

通常高耐圧MOS電界効果トランジスタ部がダイの周辺部に、低電圧ロジック回路部がダイの中央部に配置されている。

〈発明が解決しようとする問題点〉

しかし上記構造のような高耐圧MOS・ICに於いては、ダイ周辺部に低電圧ロジック回路を囲むように高電圧が印加される為、低電圧ロジック回路のパターン上にポテンシャルの溝ができ、その部分に外部電荷が集積するようになる。その為それがIC基板に影響を及ぼし、ロジック回路を構成する低耐圧MOS電界効果トランジスタのフィールド部を反転させて回路の誤動作を誘発するという欠点があった。

〈問題点を解決するための手段〉

高耐圧MOS電界効果トランジスタと低電圧ロジック回路が同一半導体基板上に組込まれてなる半導体装置において、本発明は低電圧ロジック回路部が外部電荷の影響を受けなくて安定動作する為、第1図(a)に示すように、ダイAの中央部に位置する低電圧ロジック回路Cのパターン上をA₂

(3)

高温バイアス試験等で動作時の耐圧(以下オン耐圧と呼ぶ)ドレイン電流及びオン抵抗等の電気的特性に変動を伴う問題がある。このような問題を解決して高耐圧MOS・FETの信頼性を高めるために、高抵抗層が外部電荷の影響を受けなくて、しかも高耐圧の得られる構造として第2図(a)に示すようにソース電極8、ドレイン電極7及び複数個のフローティング導電体14'で、高抵抗層領域上を完全に覆ってなる構造をもつ。

本発明は第1図(b)の断面図に示す如く、上記構造の高耐圧MOS・FET部Bが作成された同一半導体基板Aに、通常のソース2'とドレイン3'間にチャンネル16を備えた構造のより低耐圧特性のMOS・FETからなる回路部Cが作成され、この低耐圧MOS・FET回路部Cの半導体基板領域上にA₂等の導電体Dが、高耐圧MOS・FET上のフローティング導電体を作成する工程等を利用して形成される。

〈作 用〉

本発明のように高耐圧MOS・FETとして第2図

(5)

或いはその他の導電体Dで覆って構成する。ダイAの周辺部には高耐圧MOS電界効果トランジスタからなる回路Bが設けられている。

まず第2図(a)、(b)を用いてこの種の高耐圧MOS・FETを示す。

第2図(b)において1はP型基板で、該基板1にN⁺ソース領域2及びN⁺ドレイン領域3が夫々形成されている。ソース領域2の周囲には自己整合プロセスによって高耐圧MOS・FETのゲートチャンネルのためのP⁺領域4が設けられ、またドレイン領域3に接続した同一導電型の高抵抗層5が設けられている。

上記のように不純物拡散がなされた半導体基板に対して、第2図(b)のようなN⁺ソース領域2に接続されたソース電極8及びN⁺ドレイン領域3に接続されたドレイン電極7が設けられた構造に於いては、ゲート電極とドレイン電極の間にA₂或いは多結晶シリコンのような導電体で被覆されない高抵抗層の領域5'が生じる。該被覆されない高抵抗層の領域5'は外部電荷の影響を受け易く、

(4)

(a)の構造を採用するとともに、ロジック回路部の上部を絶縁膜を介して、A₂或いはその他の導電体で完全に覆い、且それをIC基板或いはGND端子、低電圧電源等に電気的に接続することによって外部電荷がIC基板に及ぼす影響を電位的に完全に遮蔽し、ロジック回路を構成する低耐圧MOS電界効果トランジスタのフィールド部を反転させて回路の誤動作を誘発させることのない信頼性の高い高耐圧MOS・ICを得ることができる。

〈実施例〉

以下の説明では第3図に示す如く基板左側領域に高耐圧MOS・FET、右側領域に低電圧ロジックが構成されるものとする。

半導体基板1には低不純物濃度のP型基板を用い、その表面に薄い酸化膜18を介して³¹P⁺イオンをレジスト19をマスクとしてイオン注入した後、拡散を行なって高抵抗層5を形成する(第3図(a))。

次に基板上の薄い酸化膜18を1度エッチングで剥がした後、再び薄い酸化膜20を成長させ、

(6)

その上に気相成長法によりシリコン窒化膜21をディポジションし、写真食刻技術を用いてチャンネル領域及びソース領域・ドレイン領域の窓開け行なう。更にレジスト22を部分的に剥い¹¹B⁺を自己整合的にイオン注入し、P⁺領域6を形成する(第3図(b))。

次にシリコン窒化膜21をマスクとして選択酸化を行ない、厚い酸化膜10を成長させた後シリコン窒化膜及びその下の薄い酸化膜を除去し、その領域に再び薄い酸化膜23を成長させる。更にレジスト24をマスクとして³¹P⁺イオン注入し、ディプレッション型トランジスタのチャンネル部16を形成する(第3図(c))。

その後多結晶シリコンを気相成長法によりディポジションし、エッチングによって不要部分を除去し、ゲート電極9及び9'、フローティング導電体14を形成する。次にレジスト25で部分的に覆い、¹¹B⁺をイオン注入に続いて拡散を行なってP⁺領域4及び4'を形成する(第3図(d))。

更にリンを自己整合的に拡散又はイオン注入に

(7)

代りに気相成長法による絶縁膜を用いてもよい。上記実施例に於いてはシールドプレート17は高耐圧MOS・FETのソース及び基板と接続したがロジック回路に印加する低電圧電源に接続してもよい。又シールドプレート17は第4図に示すように複数のプレートに分けてもよい。但し、その時も各プレートは高耐圧MOS・FETのソース、基板、或いは低電圧電源に接続する必要がある。

<発明の効果>

以上のように本発明によれば、ロジック回路部が外部電荷の影響を受けないように特別にフィールド部の反転電圧を高くする必要もなく、又そのプロセス的なバラツキによる歩留りの低下を招くこともなく、極めて信頼性の高い高耐圧MOS・ICを安定的に作することができる。

4. 図面の簡単な説明

第1図(a)及び(b)は本発明による一実施例を示す半導体チップ平面の概略図及び断面図、第2図(a)及び(b)は高耐圧MOS・FETを説明するための半導体基板断面図、第3図(a)乃至(f)は本発明による一

(9)

よって基板内にドーピングし、ソース領域2及び2'、ドレイン領域3及び3'を形成する。次に気相成長法により厚い絶縁膜11をディポジションし、ドレイン・コンタクト部とソース・コンタクト部をエッチングによって開口する。その後全面にAl等の導電体を蒸着又はスパッタでディポジションし、不要な部分を除去してソース電極8及び8'、ドレイン電極7及び7'、フローティング導電体14'を構成する(第3図(e))。

更に気相成長法により厚い絶縁膜12をディポジションし、高耐圧MOS・FETのドレイン電極部、ソース電極部等にスルーホールを開口した後再びAl等の導電体を全面にディポジション、不要な部分を除去してソース電極より延展したフィールドプレート8'及びドレイン電極より延展したフィールドプレート7'、又本発明の特徴であるロジック回路を電位的に遮蔽するシールドプレート17を構成する。最後に保護膜13を形成して当高耐圧MOS・ICは完成する(第3図(f))。

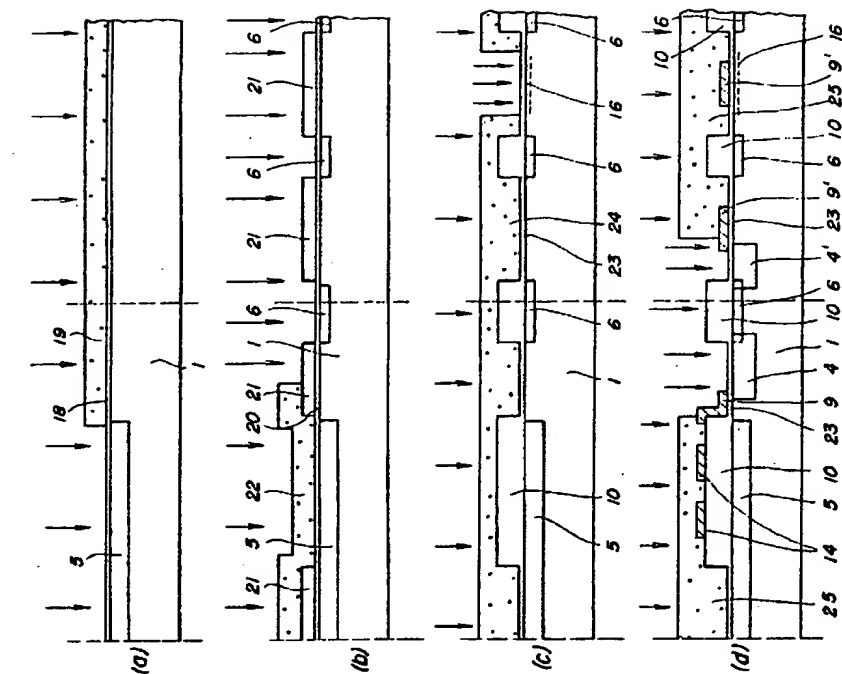
本発明の他の実施例として例えば選択酸化膜の

(8)

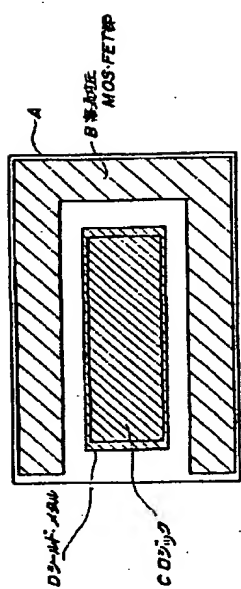
実施例の製造工程を説明するための半導体断面図、~~第3図は本発明による他の実施例の半導体チップ平面の概略図~~第4図は本発明による他の実施例の半導体チップ平面概略図である。

B: 高耐圧 MOSFET C: 低耐圧 MOSFET
D, 17: 導電体

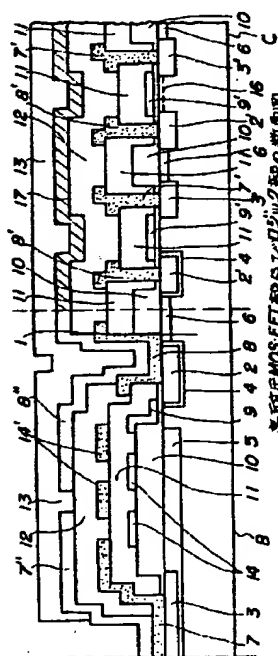
代理人 弁理士 福 士 愛 彦(他2名)



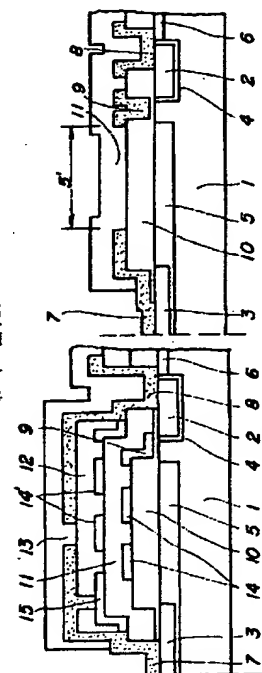
第 3 図



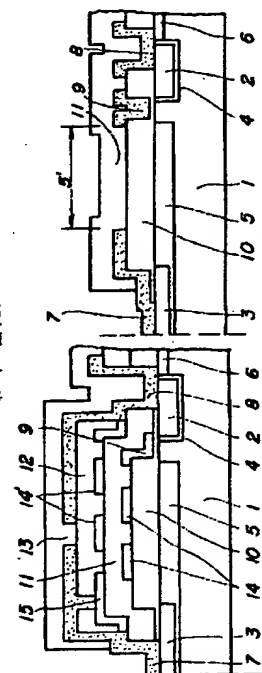
第 1 図 (a)



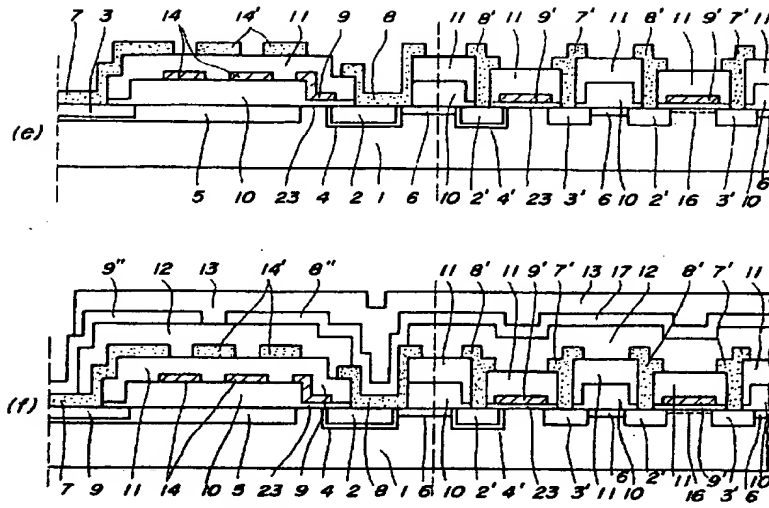
第 1 図 (b)



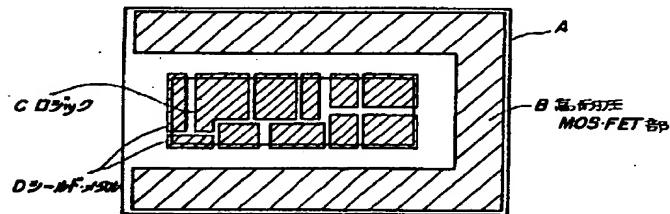
第 2 図 (a)



第 2 図 (b)



高耐圧MOSIC製造工程の断面図
第3図



高耐圧MOS-IC平面図
第4図